

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

公開実用平成 3-46243

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平3-46243

⑬ Int. Cl.³

H 03 M 9/00
G 06 F 13/00

識別記号

3 0 1 A
F

庁内整理番号

6832-5 J
7629-5 B

⑭ 公開 平成 3 年(1991) 4 月 30 日

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 シリアルデータ送信回路

⑯ 実 願 平1-106718

⑰ 出 願 平 1 (1989) 9 月 12 日

⑱ 考 案 者 武 藤 誠 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

⑲ 考 案 者 橋 本 恭 介 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

⑳ 考 案 者 桧 物 雄 作 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

㉑ 出 願 人 古河電気工業株式会社 東京都千代田区丸の内 2 丁目 6 番 1 号

㉒ 代 理 人 弁理士 長門 侃二

明 細 書

1. 考案の名称

シリアルデータ送信回路

2. 実用新案登録請求の範囲

送信すべきデータを各バイト毎に順次送信データバッファに取り込み、送信パルスによりエラーチェックコード演算回路に取り込んでエラーチェックコードを演算生成し、エラーチェックコードの演算終了時に前記送信データバッファに格納されたデータに付加してシリアルに順次送出するシリアルデータ送信回路において、前記データを各バイト毎に順次各別に取り込み、且つ送信パルスにより順次シリアルに送出させる複数の送信データバッファと、前記送信データバッファの中の初段の送信データバッファに接続され格納された疑似エラーチェックコードが前記データと共にシフトされる疑似エラーチェックコード格納手段と、前記データの送出時に前記送信データバッファの中の終段の送信データバッファから出力されるデータを順次取り込みエラーチェックコードを演算

生成するエラーチェックコード演算回路と、送信データのバイトをカウントするカウンタを有しエラーチェックコードの演算終了時に、前記終段の送信データバッファに格納された前記疑似エラーチェックコードを前記生成されたエラーチェックコードに書き換えるタイミングを作成するタイミング作成手段とを備えたことを特徴とするシリアルデータ送信回路。

3. 考案の詳細な説明

(産業上の利用分野)

本考案は、エラーチェックコードを付加したシリアルデータ通信に使用されるシリアルデータ送信回路に関する。

(従来技術)

従来より、データ通信時の誤り検出方式として、データと共にエラーチェックコードを付加して送信する方式が利用されており、例えば、CRC (Cyclic Redundancy Check) コードがある。

送信データから演算回路によりエラーチェックコードを演算生成し、送信データと共に送信する

シリアルデータ送信回路の例としては、第 2 図に示すようなシリアルデータ送信回路 2 0 がある。このシリアルデータ送信回路 2 0 の中央演算処理装置（以下「C P U」という）2 1 から出力されたデータ 8 ビット分（D₀ ～ D₇）は、セレクト 2 2 を介してエラーチェックコード領域の送信データバッファ 2 3 に入力され、同時に C P U 2 1 から出力されロードパルスカウンタ 2 4、オア回路 3 0 を介して送信データバッファ 2 3 に入力されるライト信号（W R T）により、当該送信データバッファ 2 3 に一旦格納される。

次いで、シフトパルス生成回路 2 5 から前記ライト信号の 1 回につき 8 回の割合で生成されるシフトパルスが出力され、送信データバッファ 2 3 に格納されていたデータは、1 ビットずつ計 8 ビットが順次シフトされて、続く送信データバッファ 2 6 に格納されると共に、エラーチェックコード演算回路 2 7 にも入力され、当該送信されるデータのエラーチェックコードの演算がなされる。このように最初のデータ 8 ビット分のシフト及び

エラーチェックコード演算が終了した段階で、次のデータ 8 ビット分が前述と同様の方法によって一旦エラーチェックコード領域の送信データバッファ 23 に格納され、前述と同様の方法で続く送信データバッファへ 26 へ格納されると共に、エラーチェックコード演算回路 27 によりエラーチェックコードの演算がなされる。

一方、ロードパルスカウンタ 24 にて前記ライト信号をカウントすることにより前記 8 回のシフトパルスの終了時に、送信データバッファ 26 へ必要なデータ量が格納され、且つデータのエラーチェックコード演算が終了してエラーチェックコードが生成されたことを検出することが可能であり、その際、ロードパルスカウンタ 24 は、ライト信号によりセクタ 22 を切り替えた上で、ロードパルスを出力し、エラーチェックコード領域の送信データバッファ 23 へ、前記生成されたエラーチェックコードを格納する。以上のようにして送信データが揃うと、その前後にスタートビット格納回路 28 及びエンドビット形成格納 29 に

格納されたスタートビット及びエンドビットが付加されて、データのシリアル回線 30 への送信が開始される。

尚、CPU 21 から送信回路 20 へ出力されるデータは、各バイトが必ずしも上述した 8 ビット単位でなく、他の 16 ビット単位、或いは 4 ビット単位でも良いが、通常 8 ビット単位の方法が多く採用されている。

(考案が解決すべき課題)

しかしながら、前記従来の送信回路においては、ライト信号毎のシフトパルスが必要であり、且つそのシフトパルス生成のためのシフトパルス生成回路が必要となり、回路規模の増大を来す。また、ライト信号とライト信号との間にエラーチェックコード演算を行なうための時間換言すれば、前記ライト信号毎のシフトパルスの発生時間が必要であるために、CPU から送信回路に送信データを全て書き込むために要する時間が長くなるという問題がある。

本考案は上述の点に鑑みてなされたもので、回

路規模の増大を抑え、且つCPUから送信回路に送信データの全てを書き込むために要する時間を短くすることが可能なシリアルデータ送信回路を提供することを目的とする。

(課題を解決するための手段)

上記目的を達成するために本考案によれば、送信すべきデータを各バイト毎に順次送信データバッファに取り込み、送信パルスによりエラーチェックコード演算回路に取り込んでエラーチェックコードを演算生成し、エラーチェックコードの演算終了時に前記送信データバッファに格納されたデータに付加してシリアルに順次送出するシリアルデータ送信回路において、前記データを各バイト毎に順次各別に取り込み、且つ送信パルスにより順次シリアルに送出させる複数の送信データバッファと、前記送信データバッファの中の初段の送信データバッファに接続され格納された疑似エラーチェックコードが前記データと共にシフトされる疑似エラーチェックコード格納手段と、前記データの送出時に前記送信データバッファの中の

終段の送信データバッファから出力されるデータを順次取り込みエラーチェックコードを演算生成するエラーチェックコード演算回路と、送信データのバイトをカウントするカウンタを有しエラーチェックコードの演算終了時に、前記終段の送信データバッファに格納された前記疑似エラーチェックコードを前記生成されたエラーチェックコードに書き換えるタイミングを作成するタイミング作成手段とを備えた構成としたものである。

(作用)

データの送信開始前に、送信すべきデータの各バイトを順次、且つ各別に各送信データバッファに格納する。また、エラーチェックコード格納手段には適当な疑似エラーコードが格納されている。そして、終段の送信データバッファに格納されているバイト即ち、最初に送出するバイトの前にスタートビットを、初段の送信データバッファに格納されているバイト即ち、最後のバイトの後に疑似エラーチェックコード及びエンドビットを付加し、送信パルスにより各送信データバッファのバ

イトを順次シリアルにシリアル回線に送出を開始する。同時に終段の送信データバッファから送出されるデータをエラーチェックコード演算回路に取り込み、当該データの送出と平行して演算処理を行ない、各バイト毎のエラーチェックコードを生成する。

最後のバイトが送出され、且つエラーチェックコードの演算が終了した時点において、終段の送信データバッファには疑似エラーチェックコードが格納されている。この時タイミング生成手段が、タイミング信号を出力して前記演算生成された各エラーチェックコードを前記送信データバッファに格納し、先に格納されている疑似エラーチェックコードを書き換える。この書き換えられたエラーチェックコードは、送信パルスにより前記最後のバイトに続いてシリアル回線に送出され、エンドビットの送出終了により、データの送信が完了する。

(実施例)

以下本考案の一実施例を添付図面に基づいて詳

述する。

第 1 図においてシリアルデータ送信回路 1 は、CPU 2、送信すべきデータを一時格納する複数例えば、6 個の送信データバッファ 3～8、セレクタ 9、疑似エラーチェックコード領域を形成する疑似エラーチェックコード格納手段 10、エンドビットを格納するエンドビット格納手段 11、スタートビットを格納するスタートビット格納手段 12、エラーチェックコードを演算するエラーチェックコード演算回路 13、ロードパルスのカウントすると共に送信パルス生成するロードパルスカウンタ & 送信パルス生成回路 14、送信パルスのカウントする送信カウンタ 15 等により構成されている。

送信データバッファ 3～8 は、例えば 8 ビットのシフトレジスタにより構成されており、切換操作によりデータの並列入力、並列出力、又は直列入力、直列出力が可能とされている。疑似エラーチェックコード格納手段 10 は、送信データバッファ 3 と同様に 8 ビットのシフトレジスタにより

構成され、エンドビット格納手段 11、スタートビット格納手段 12 は、例えば、3 ビットのシフトレジスタにより構成されている。

CPU2 は、例えば、8 ビットのデータ ($D_0 \sim D_7$) を出力するように構成されており、各データ ($D_0 \sim D_7$) の各出力端子には、初段の送信データバッファ 3 の 8 ビットの平行入力端子が接続されている。この送信データバッファ 3 の平行出力端子は次段の送信データバッファ 4 の各平行入力端子に接続され、同様に送信データバッファ 4 ~ 6 の各平行出力端子は、順次次段の送信データバッファ 5 ~ 7 の各平行入力端子に接続され、送信データバッファ 7 の各平行出力端子はセクタ 9 を介して終段の送信データバッファ 8 の各平行入力端子に接続されている。

初段の送信データバッファ 3 のシリアル出力端子は次段の送信データバッファ 4 のシリアル入力端子に接続され、以下同様にして送信データバッファ 4 ~ 7 の各シリアルデータ出力端子は夫々次

段の送信データバッファ 5 ～ 8 の各入力端子に順次直列に接続されている。

初段の送信データバッファ 3 のシリアル入力端子には疑似エラーチェックコード格納手段 1 0 が接続され、当該疑似エラーチェックコード格納手段 1 0 の入力端子にはエンドビット格納手段 1 1 の出力端子が接続されている。また、終段の送信データバッファ 8 のシリアル出力端子はスタートビット格納手段 1 2 の入力端子に接続され、当該スタートビット格納手段 1 2 の出力端子はシリアル回線 1 8 に接続されている。エラーチェックコード演算回路 1 3 のシリアル入力端子は終段の送信データバッファ 8 のシリアル出力端子に接続され、8 ビットの平行出力端子はセクタ 9 の各入力端子に接続されている。

また、ロードパルスカウンタ & 送信パルス生成回路 1 4 の入力端子は C P U 2 のライト信号 (W R T) 出力端子に接続され、ライト信号出力端子は、送信データバッファ 3 ～ 7 及びオア回路 1 6 を介して送信データバッファ 8 の各切換入力端子

に接続され、ロードパルス・送信パルス出力端子は、送信データバッファ 3～8 及び送信カウンタ 15、エンドビット格納手段 11、スタートビット格納手段 12、エラーチェックコード演算回路 13 の各シフトパルス入力端子に接続されている。更に、送信カウンタ 15 の出力端子は、セレクタ 9 の切換入力端子に接続されると共に前記オア回路 16 を介して終段の送信データバッファ 8 の切換入力端子に接続されている。

以下に作用を説明する。

先ず、CPU 2 から出力された最初のデータ 8 ビット分 ($D_7 \sim D_0$ 、バイトという) は、同時に当該 CPU 2 から出力されロードパルスカウンタ 14 を介して送信データバッファ 3～8 に入力されるライト信号 (WRT) により当該送信データバッファ 3 に並列に取り込まれて格納される。尚、以下データ 8 ビット分を「バイト」という。次に、CPU 2 から出力された 2 番目のデータ 8 ビット分が前述と同様にして送信データバッファ 3 に格納されるが、その際、送信データバッファ

3 に格納されていた最初のデータは、送信データバッファ 4 に取り込まれて格納される。このようにして順次送信データバッファ 3 ～ 8 に必要なデータ量（8 ビット× 6 バイト＝ 48 ビット）が格納される。

ロードパルカウンタ & 送信パルス生成回路 14 は、ライト信号（WRT）をカウントし、そのカウント値が「6」に達すると送信データバッファ 3 ～ 8 に前記必要なデータ量が格納されたことを検出し、P/S 信号（切換信号）を出力して各送信データバッファ 3 ～ 8 を、前記並列入力、並列出力の作動から、直列入力、直列出力の作動に切り替える。そして、スタートビット格納手段 12、エンドビット格納手段 11 に夫々スタートビット、エンドビットが取り込まれて格納され、当該送信データの前即ち、終段の送信データバッファ 8 に格納されている最初のデータの前にスタートビットが、初段の送信データバッファ 3 に格納されている最後のデータの後に疑似エラーチェックコード及びエンドビットが付加されて、1 フレームの

データが形成される。

次に、ロードパルスカウンタ & 送信パルス生成回路 14 が送信パルスを出力してデータのシリアル回線 18 への送出を開始する。スタートビット、送信データバッファ 8 ~ 3 内の各データ、疑似エラーチェックコード及びエンドビットが順次シフトされてシリアル回線 18 に送出される。このデータの送出と同時に、終段の送信データバッファ 8 から送出されるデータが順次エラーチェックコード演算回路 13 に取り込まれ、各データ毎のエラーチェックコードの演算が前記データのシリアル回線 18 への送出と平行して実行される。

そして、送信データバッファ 8 ~ 3 に格納されている全データ（8 ビット × 6 バイト = 48 ビット分のデータ）のシフトが終了し、各データ（バイト）毎のエラーチェックコードの演算が終了し、且つ疑似エラーチェックコード領域が終段の送信データバッファ 8 にシフトされた時点で、送信カウンタ 15 は、前記送信パルスをカウントすることでそのタイミングを検出して信号を出力し、セ

レクタ 9 を切り替え、エラーチェックコード演算回路 13 で生成された前記各データ毎のエラーチェックコードを送信データバッファ 8 に格納する。これにより、疑似エラーチェックコードが送信データに応じた正しいエラーチェックコードに書き換えられる。

この終段の送信データバッファ 8 に格納されたエラーチェックコードは、当該送信データバッファ 8 から直前に送出された最後のデータの後に続いてシリアル回線 18 に送出される。そして、最後にエンドビットがシリアル回線 18 に送出されて前記 1 フレームのデータの送出が終了する。

尚、第 2 図に示す従来の送信回路においては、説明の簡略のために送信カウンタを省略しているが、通常、送信回路は送信カウンタを備えており、僅かな回路を追加することにより、本考案の実施に必要なエラーチェックコード生成タイミングを検出することは容易である。そして、その追加の回路規模は、従来の回路より削除が可能なライト信号のシフトパルス生成回路の規模よりも小さく、

従って、本考案により回路規模の削減を図ることが可能である。

また、本実施例においては、送信データバッファを6個使用した6バイト分のデータの送信回路について記述したが、これに限るものではなく、1回に送信すべきデータ量即ち、1フレームのバイト数に応じて送信データバッファの数を設定すればよい。

(考案の効果)

以上説明したように本考案によれば、送信すべきデータを各バイト毎に順次送信データバッファに取り込み、送信パルスによりエラーチェックコード演算回路に取り込んでエラーチェックコードを演算生成し、エラーチェックコードの演算終了時に前記送信データバッファに格納されたデータに付加してシリアルに順次送出するシリアルデータ送信回路において、前記データを各バイト毎に順次各別に取り込み、且つ送信パルスにより順次シリアルに送出させる複数の送信データバッファと、前記送信データバッファの中の初段の送信デ

ータバッファに接続され格納された疑似エラーチェックコードが前記データと共にシフトされる疑似エラーチェックコード格納手段と、前記データの送出時に前記送信データバッファの中の終段の送信データバッファから出力されるデータを順次取り込み各バイト毎のエラーチェックコードを演算生成するエラーチェックコード演算回路と、送信データのバイトをカウントするカウンタを有しエラーチェックコードの演算終了時に、前記終段の送信データバッファに格納された前記疑似エラーチェックコードを前記生成されたエラーチェックコードに書き換えるタイミングを作成するタイミング作成手段とを備えた構成としたことにより、送信すべき送信データの書き込みの際にライト信号毎のシフトパルスが必要とせず、この結果、送信データの書き込みに要する時間を短縮することが可能となり、これに伴い伝送処理の高速化を図ることが可能となる。また、従来の送信回路に比して回路規模の削減を図ることが可能となり、小型化及び低コスト化を図ることが可能となる等の

効果がある。

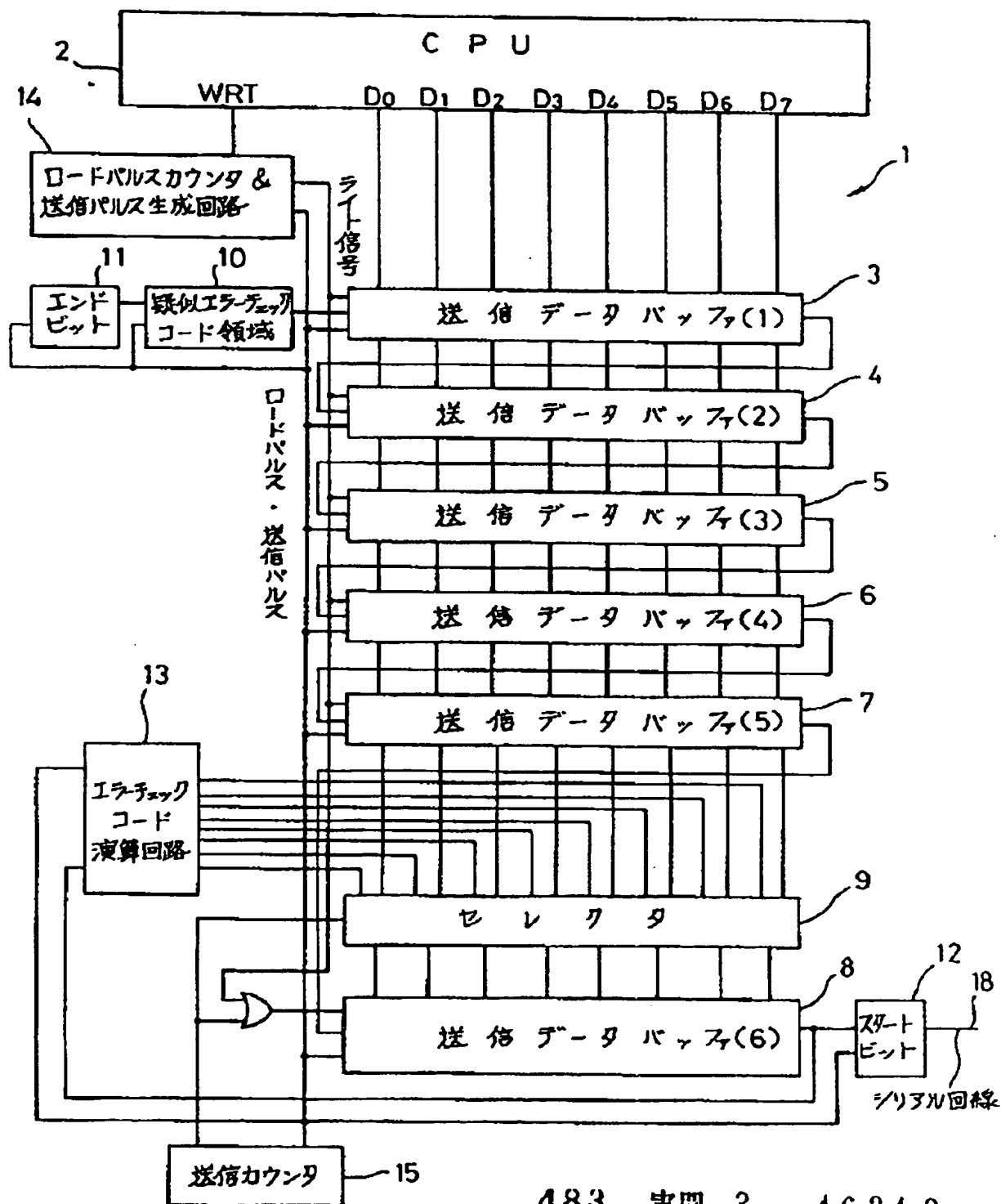
4. 図面の簡単な説明

第1図は本考案に係るシリアルデータ送信回路の一実施例を示すブロック図、第2図は従来のシリアルデータ送信回路のブロック図である。

1…シリアルデータ送信回路、2…CPU、3～8…送信データバッファ、9…セクタ、10…疑似エラーチェックコード格納手段、11…エンドビット格納手段、12…スタートビット格納手段、13…エラーチェックコード演算回路、14…ロードパルスカウンタ&送信パルス生成回路、15…送信カウンタ、18…シリアル回線。

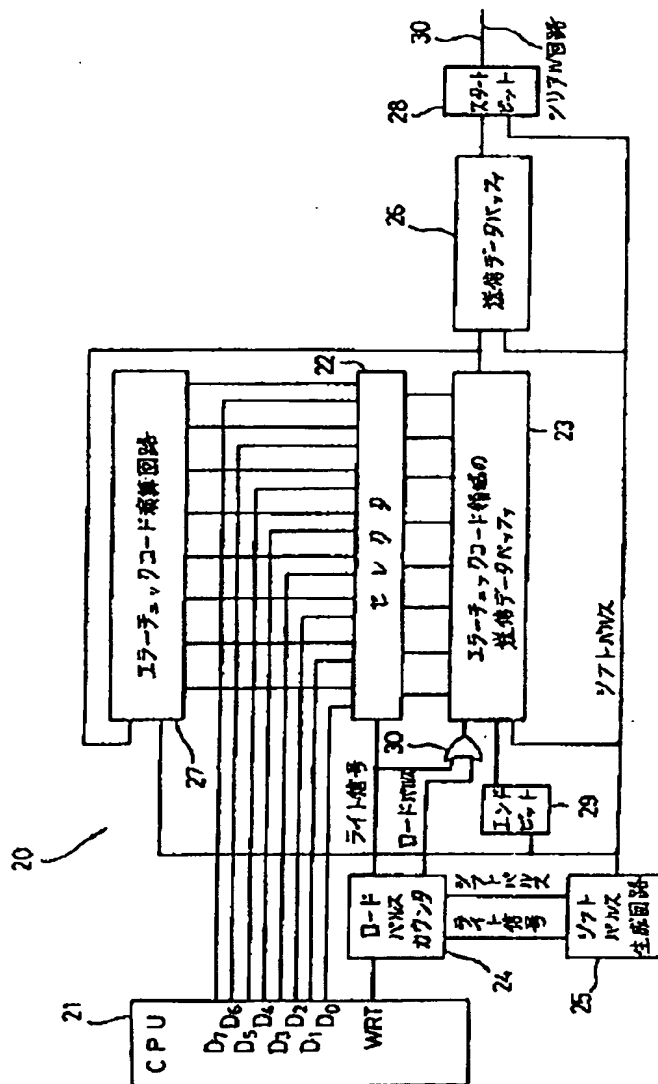
出願人 古河電気工業株式会社
代理人 弁理士 長門 侃 二

第 1 図



483 実開 3 - 46243
代理人 弁理士 長 門 保 一

第 2 圖



184